



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2001332638 A**(43) Date of publication of application: **30.11.01**

(51) Int. Cl. **H01L 21/8247**  
**H01L 27/115**  
**H01L 21/76**  
**H01L 29/788**  
**H01L 29/792**

(21) Application number: **2000152729**(71) Applicant: **NEC CORP**(22) Date of filing: **19.05.00**(72) Inventor: **HAMASHIMA TOMOHIRO**(54) **MANUFACTURING METHOD OF SEMICONDUCTOR MEMORY DEVICE**

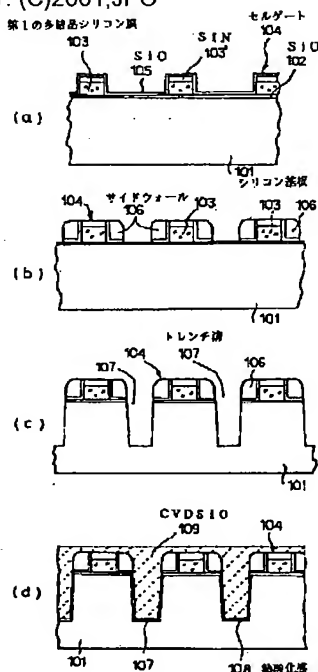
increasing.

COPYRIGHT: (C)2001,JPO

## (57) Abstract:

**PROBLEM TO BE SOLVED:** To improve operation speed by providing a source/drain region and a trench isolation structure formed by self-alignment and restraining increase of source/drain resistance.

**SOLUTION:** The method comprises a process for forming a cell gate 104 on a semiconductor substrate 101; a process for forming sidewall 106 in a side wall of a cell gate, forming a trench groove 107 in the semiconductor substrate 101 by self-alignment by using the sidewall 106, forming a thermal oxide film 108 in an inner surface thereof, and further forming a trench isolation structure by filling up the trench groove 107 with an oxide film 109; and a process for removing the sidewall 106 and forming a source/drain region by implantation of impurities to a semiconductor substrate in the removed region. As a result it is possible to prevent the thickness of the thermal oxide film 108 in an inner wall of a trench groove from increasing abnormally in a region in contact with a source/drain region, thus reducing the width size of a source/drain region and to prevent source/drain resistance from



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-332638

(P2001-332638A)

(43) 公開日 平成13年11月30日 (2001.11.30)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テマコード (参考)

H 0 1 L 21/8247

H 0 1 L 27/10

4 3 4

5 F 0 0 1

27/115

21/76

L

5 F 0 3 2

21/76

29/78

3 7 1

5 F 0 8 3

29/788

29/792

審査請求 未請求 請求項の数 4 O L (全 7 頁)

(21) 出願番号

特願2000-152729(P2000-152729)

(22) 出願日

平成12年5月19日 (2000.5.19)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 濱嶋 智宏

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100081433

弁理士 鈴木 章夫

最終頁に続く

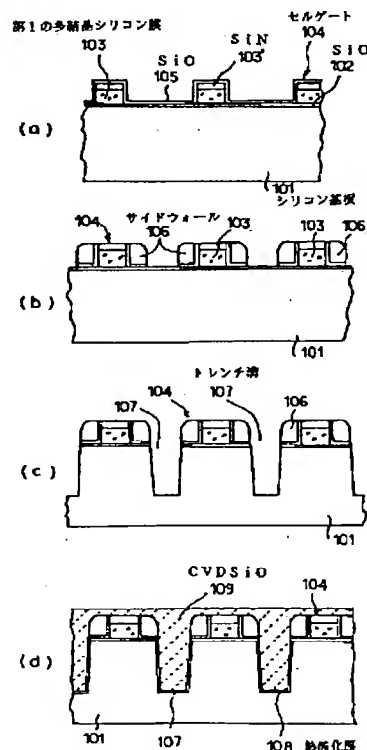
(54) 【発明の名称】 半導体記憶装置の製造方法

(57) 【要約】

(修正有)

【課題】 セルファラインで形成されたソース・ドレイン領域およびトレンチ素子分離構造を有し、かつソース・ドレイン抵抗の増大を抑制して動作速度の向上を図る。

【解決手段】 半導体基板101上にセルゲート104を形成する工程と、セルゲートの側壁にサイドウォール106を形成し、サイドウォール106を用いて半導体基板101にトレンチ溝107をセルフアラインに形成し、その内面に熱酸化膜108を形成し、さらにトレンチ溝107を酸化膜109で埋設してトレンチ素子分離構造を形成する工程と、サイドウォール106を除去し、その除去した領域の半導体基板に不純物を注入してソース・ドレイン領域を形成する工程を含む。これによりトレンチ溝内壁の熱酸化膜108がソース・ドレイン領域に接する領域において異常に膜厚が増加してソース・ドレイン領域の幅寸法が減少し、ソース・ドレイン抵抗が増大することが防止される。



## 【特許請求の範囲】

【請求項1】 半導体基板上にセルゲートを形成する工程と、前記セルゲートの側壁にサイドウォールを形成し、前記サイドウォールを用いて前記半導体基板にトレンチ溝をセルフアラインに形成する工程と、前記トレンチ溝の内面を熱酸化して熱酸化膜を形成し、かつ前記トレンチ溝を埋設してトレンチ素子分離構造を形成する工程と、前記サイドウォールを除去し、かつその除去した領域の前記半導体基板に不純物を注入してソース・ドレイン領域を形成する工程を含むことを特徴とする半導体記憶装置の製造方法。

【請求項2】 半導体基板上にゲート絶縁膜、ゲート電極、絶縁膜を積層し、かつ所要のパターンに形成してセルゲートを形成する工程と、全面に窒化膜を形成し、かつ前記窒化膜を異方性エッチングして前記セルゲートの側壁にサイドウォールを形成する工程と、前記サイドウォールをマスクにして前記半導体基板を所要の深さまでエッチングしてトレンチ溝を形成する工程と、前記トレンチ溝の内面を熱酸化して熱酸化膜を形成する工程と、酸化膜を堆積し、少なくとも前記トレンチ溝内を前記酸化膜で埋設してトレンチ素子分離構造を形成する工程と、前記サイドウォールをエッチング除去する工程と、前記セルゲート及び前記トレンチ素子分離構造をマスクにして前記サイドウォールを除去した領域の前記半導体基板に不純物をイオン注入してソース・ドレイン領域を形成する工程と、前記半導体基板の表面に絶縁膜を形成し、かつその表面を前記ゲート電極の表面に対して平坦化する工程と、前記ゲート電極上に当該ゲート電極と一体化されてフローティングゲート電極を構成するピラー型電極を形成する工程と、少なくとも前記ピラー型電極の表面にゲート間絶縁膜を形成する工程と、前記ゲート間絶縁膜上にコントロールゲート電極を形成する工程を含むことを特徴とする半導体記憶装置の製造方法。

【請求項3】 前記ソース・ドレイン領域を形成する工程は、前記セルゲートをマスクにしたセルフアラインにより前記半導体基板に低濃度の不純物を注入してLDD領域を形成する工程と、前記セルゲートの側壁に前記サイドウォールよりも薄い第2のサイドウォールを形成する工程と、前記セルゲート及び前記第2のサイドウォールをマスクにしたセルフアラインにより前記半導体基板に高濃度の不純物を注入して高濃度ソース・ドレイン領域を形成する工程を含むことを特徴とする請求項1又は2に記載の半導体記憶装置の製造方法。

【請求項4】 前記半導体記憶装置は、列方向に延長形成される前記ソース・ドレイン領域をビット線とし、行方向に延長形成される前記コントロールゲート電極をワード線とし、前記セルゲートが前記ワード線の直下に周期的に配置されたフラッシュメモリであることを特徴とする請求項1ないし3のいずれかに記載の半導体記憶装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明はフラッシュメモリ等の高集積化が要求される半導体記憶装置に関し、特に素子分離用のトレンチ素子分離構造を有する半導体記憶装置の製造方法に関するものである。

## 【0002】

【従来の技術】半導体記憶装置の一つとしてのフラッシュメモリでは、高い寸法制度のセル構造や素子間分離構造を形成することが重要な要素の一つとなっている。そのため、素子間分離構造として、LOCOS素子分離構造よりも微細化が可能なトレンチ素子分離構造が採用されている。このトレンチ素子分離構造を製造するために、例えば、特開平10-289990号公報には、フォトリソマスクを用いて半導体基板をエッチングしてトレンチを形成し、このトレンチ内に絶縁分離材料を埋設してトレンチ素子分離構造を形成する技術が記載されている。しかしながら、この技術では、トレンチ素子分離構造を形成した後にメモリセルのゲート電極（セルゲート）を形成しているため、トレンチとセルゲートとの位置合わせが必要となり、製造が複雑なものとなる。すなわち、トレンチとセルゲートとの位置合わせに偏りが生じると、セルゲートの両側に形成するソース・ドレイン領域の幅寸法が偏り、ソース・ドレイン抵抗にばらつきが生じることになる。

【0003】これに対し、近年では、セルフアラインでトレンチ分離構造を形成するという技術が提案されている。この技術はフォトリソマスクを用いないので、トレンチのセルゲートに対する位置合わせが不要であり、位置ずれの少ないトレンチ分離構造を効率よく形成することができる。この技術は、たとえば T. Kobayashi, et al., Tech. Dig. IEDM (1997)275 等によって公知となっている。

【0004】図4は、このようなセルフアラインでトレンチ分離構造を形成する従来技術によるフラッシュメモリの製造方法を工程順に図示したものである。まず、図4(a)において、シリコン基板201上に所定の厚さのトンネル酸化膜202、第1のフローティングゲートとなる第1の多結晶シリコン層203、薄い酸化膜204、スペーサ用の多結晶シリコン層205、酸化膜205'を順次積層する。そして、フォトリソグラフィ法によりエッチングを行い、所定の形状のゲート電極206を形成する。さらに、前記シリコン基板201にイオン注入により所定の濃度の不純物を導入してソース・ドレイン領域207を形成し、さらに全面にCVD酸化膜を成膜した後、このCVD酸化膜を異方性エッチングして前記ゲート電極206の側面にサイドウォール208を形成する。次に、図4(b)に示すように、前記サイドウォール208をマスクとして前記シリコン基板201のエッチングを行い、前記ゲート電極206の両側にト

レンチ溝209を形成する。

【0005】次いで、図4(c)のように、ゲート電極206およびトレンチ溝209の側壁を薄いCVD酸化膜210で被覆し、続いてBPSG膜211を堆積し、ゲート電極206およびトレンチ溝209を前記BPSG膜211で埋設する。これにより、トレンチ素子分離構造212が形成される。さらに、 $\text{NH}_3$ アニールを行った後、前記BPSG膜211をエッチングし、前記スペース用の多結晶シリコン層205を露出させる。次いで、図4(d)のように、ドライエッチング法を用いて前記スペース用多結晶シリコン層205と、その下側の前記薄い酸化膜204を除去する。そして、第2の多結晶シリコン213を成膜し、かつ所要のパターンに形成することで、前記第1の多結晶シリコン層203と接続してサイドウォール208の上部に開いた形状のフローティングゲート214を形成する。最後に、図4(e)のように、前記フローティングゲート214上にCVD酸化膜215、コントロールゲート用多結晶シリコン膜216、WSi膜217を順次形成し、かつこれらを所要のパターンに形成してセル構造を形成する。

#### 【0006】

【発明が解決しようとする課題】このような従来技術で製造されたフラッシュメモリにおいては、トレンチ素子分離構造212の製造工程が、ソース・ドレイン領域207の形成後、すなわちシリコン基板201に対してイオン注入等による不純物導入工程よりも後に行われている。このため、例えば、図4(c)に示した工程において、薄いCVD酸化膜210に代えて、トレンチ溝209の内壁を熱酸化して薄い熱酸化膜として構成した場合に、当該熱酸化膜の熱酸化を実施したときに、ソース・ドレイン領域207に含まれる高濃度の不純物によって増速酸化が引き起こされ、ソース・ドレイン領域207に隣接するトレンチ溝209の上部開口側における熱酸化膜の厚さが部分的に増大することになる。そのため、熱酸化膜の厚さが増大した分だけ、ソース・ドレイン領域の幅寸法が減少し、これによりソース・ドレイン抵抗が増大するという問題が生じる。このソース・ドレイン抵抗の増大によるフラッシュメモリの動作速度への影響は、メモリセルの微細化の進展に伴って顕著なものとなる。

【0007】本発明の目的は、セルフアラインで高い寸法精度で形成されたソース・ドレイン領域およびトレンチ素子分離構造を有し、かつソース・ドレイン抵抗の増大を抑制して動作速度の向上を図った半導体記憶装置の製造方法を提供するものである。

#### 【0008】

【課題を解決するための手段】本発明の半導体記憶装置の製造方法は、半導体基板上にセルゲートを形成する工程と、前記セルゲートの側壁にサイドウォールを形成し、前記サイドウォールを用いて前記半導体基板にトレ

ンチ溝をセルフアラインに形成する工程と、前記トレンチ溝の内面を熱酸化して熱酸化膜を形成し、かつ前記トレンチ溝を埋設してトレンチ素子分離構造を形成する工程と、前記サイドウォールを除去し、かつその除去した領域の前記半導体基板に不純物を注入してソース・ドレイン領域を形成する工程を含むことを特徴としている。特に、本発明は、列方向に延長形成されるソース・ドレイン領域をビット線とし、行方向に延長形成されるコントロールゲート電極をワード線とし、セルゲートがワード線の直下に周期的に配置されたフラッシュメモリの製造に適用される。

【0009】本発明によれば、トレンチ素子分離構造の形成後にソース・ドレイン領域を形成するための不純物を導入しているので、トレンチ素子分離構造の形成時に必要な熱酸化処理はソース・ドレイン領域の形成前に行われることになり、熱酸化処理に際して不純物による増速酸化の起こることがない。そのため、トレンチ溝内壁の酸化膜がソース・ドレイン領域に接する領域において異常に膜厚が増加することがなく、ソース・ドレイン領域の幅寸法が減少してソース・ドレイン抵抗が増大することはない。

#### 【0010】

【発明の実施の形態】次に、本発明の実施形態を図面を参照して説明する。図1(a)、(b)は本発明にかかるフラッシュメモリの平面図と、X-X線断面図である。シリコン基板101上には、複数行のワード線WLが配列されており、メモリセルMCは前記各ワード線WLの直下の、同図の破線で囲まれた領域に配設されている。前記メモリセルMCは、前記シリコン基板101に複数列に形成されたトレンチ素子分離構造110によって絶縁分離された状態で周期的に配列されており、同図(b)に示すように、ゲート酸化膜102、フローティングゲートとしてのゲート電極103及びピラー型電極115、ゲート間絶縁膜としてのONO膜116が積層され、その上に前記ワード線としての多結晶シリコン膜117及びシリサイド配線膜118の積層構造が形成されている。また、前記メモリセルMCのチャネル領域CHの両側には、前記トレンチ素子分離構造110の両側に沿ってビット線BLがトレンチの長手方向に形成されている。前記ビット線BLはメモリセルMCのソース・ドレイン領域113で形成され、トレンチ素子分離構造110の長手方向に並ぶメモリセルMCのソース領域およびドレイン領域をそれぞれ相互に接続してNOR型メモリセルアレイを形成している。

【0011】ここで、前記トレンチ素子分離構造110は、トレンチ溝107の内壁にほぼ均一な厚さの熱酸化膜108が形成され、かつトレンチ溝107内にCVD酸化膜109が埋設された構成とされている。そのため、メモリセルMCのソース・ドレイン領域113に接するにおいても、トレンチ溝107の内壁の前記熱酸化膜

108が部分的に膜厚が増大されてはならず、ソース・ドレイン領域113の幅寸法が低減されることはなく、ソース・ドレイン抵抗の増大が防止されている。

【0012】図2～図3は前記フラッシュメモリの製造工程を工程順に示した図であり、図1(b)に対応する断面図である。まず、図2(a)のように、シリコン基板101の表面に膜厚90Åのゲート酸化膜102、第1の多結晶シリコン膜103、窒化膜103'を順次積層し、かつ図外のフォトリソマスクを用いたドライエッチング法によって前記窒化膜103'及び第1の多結晶シリコン膜103を所要のパターンに形成し、セルゲート104を形成する。また、全面にCVD酸化膜105を薄く形成し、前記ゲート酸化膜102及びセルゲート104を被覆する。

【0013】次いで、全面に前記セルゲート104よりも厚くCVD窒化膜を成長した上で、前記CVD窒化膜を異方性エッチングによりエッチバックすることで、図2(b)のように、前記セルゲート104の側壁に窒化膜サイドウォール106を形成する。ここで、前記窒化膜サイドウォール106は、メモリセルのソース・ドレイン領域に相当する領域にわたって形成されるように、前記CVD窒化膜の膜厚を管理する。また、前記窒化膜サイドウォール106をマスクにして、前記CVD酸化膜105をエッチング除去する。

【0014】続いて、図2(c)のように、前記窒化膜サイドウォール106を用いたセルフアライン法により前記シリコン基板101をドライエッチングし、前記セルゲート104の両側の前記窒化膜サイドウォール106の外壁に沿って所定の深さおよび幅をもつトレンチ溝107を形成する。次いで、図2(d)のように、熱酸化法により前記トレンチ溝107の内壁に熱酸化膜108を形成する。このとき、トレンチ溝107の内面に臨む前記シリコン基板101には、不純物を高濃度に導入した領域が存在していないため、前記熱酸化膜108の膜厚はトレンチ溝107の深さ方向にわたって均一なものとなる。次いで、全面にCVD酸化膜109を厚く堆積し、前記トレンチ溝107を完全に埋設するとともに、前記セルゲート104及び窒化膜サイドウォール106を埋設する。

【0015】次いで、図3(a)のように、前記CVD酸化膜109の表面を化学的機械的研磨法(CMP法)を用いて研磨し、前記セルゲート104やトレンチ溝107の形状に起因する凹凸を平坦化する。このとき、少なくとも前記セルゲート104の上部の窒化膜103を除去するまで研磨する。その上で、ウエットまたはドライエッチング法により、CMP研磨した後の平坦化されたCVD酸化膜109をエッチングする。このエッチングの終点は、埋設されていた前記窒化膜サイドウォール106の全体が露出する時点となるようにする。このエッチングにより、前記トレンチ溝107上の前記CVD

酸化膜109がエッチング除去され、CVD酸化膜109はトレンチ溝内にのみ埋設された状態で残され、トレンチ素子分離構造110が形成されることになる。次いで、燐酸溶液等を用いたウエットエッチングにより前記窒化膜サイドウォール106を溶解除去する。このように窒化膜サイドウォール106が除去され、セルゲート104の両側にソース・ドレイン形成領域が開口されたことを受けて、 $1\sim 5\text{E}14[\text{cm}^{-2}]$ 程度の濃度のN型不純物、たとえば砒素をイオン注入し、LDD領域111を形成する。

【0016】次に、全面にセルゲート全体を覆うようにCVD酸化膜を形成した上で、前記CVD酸化膜を異方性エッチングすることで、図3(b)のように、前記セルゲート104の両側面に前記CVD酸化膜による第2のサイドウォール112を形成する。この第2のサイドウォール112は、前記窒化膜サイドウォール106よりも薄く形成される。この後、たとえば $1\text{E}15[\text{cm}^{-2}]$ 以上の濃度のN型不純物、たとえば砒素をイオン注入する。続いて所定の温度による不純物の活性化熱処理を行うことにより、セルゲートとトレンチ素子分離領域に挟まれた領域に高濃度領域を形成し、この高濃度領域をソース・ドレイン領域113として形成する。このソース・ドレイン領域113は、図1(a)に示したように、前記トレンチ素子分離構造110に沿って列方向に延長されており、ビット線として構成されることになる。

【0017】次に、図3(c)のように、全面に前記セルゲートよりも厚くCVD酸化膜114を形成する。そして、ドライエッチング法により前記CVD酸化膜114の表面をセルゲート104の表面が露出するまでエッチングすることで、前記CVD酸化膜114は隣接するセルゲート104間に埋設されることになり、結果として表面が平坦化される。さらに、前記セルゲート104の上面を含む前記CVD酸化膜114上の全面に第2の多結晶シリコン膜を所定の厚さに形成し、続いて所定の形状に露光・現像された図外のフォトリソマスクを用いて前記第2の多結晶シリコン膜をパターンエッチングすることで、前記セルゲート104の上にピラー形に張り出した形状のピラー型電極115を加工する。これより、セルゲート104を構成している前記第1の多結晶シリコン膜103とピラー型電極115は一体化し、フローティングゲート116が形成される。さらに、前記フローティングゲート116に所定の濃度の不純物をイオン注入し、所定の導電性を持たせる。

【0018】しかる上で、図1(b)に示したように、前記ピラー型電極115を被覆するように、ゲート間絶縁膜として所定の厚さの膜構造を持つONO膜116を形成する。続いて、この上に導電性不純物の導入された第3の多結晶シリコン膜117、及びシリサイド配線膜118を順に形成する。そして、ドライエッチング法を

用いて前記シリサイド配線膜118と第3の多結晶シリコン膜117を所定の形状に形成し、前記ワード線WLを形成する。これにより、図1に示したフラッシュメモリが形成される。

【0019】このような製造方法では、セルゲート104の両側壁に形成される窒化膜サイドウォール106は、後工程でセルゲートの両側に形成されるソース・ドレイン領域113の全体を覆うように形成されており、シリコン基板101にトレンチ溝107をエッチング形成する際にソース・ドレイン形成領域がエッチングされないように保護膜として機能する。したがって、窒化膜サイドウォール106でソース・ドレイン形成領域全体をカバーすることにより、微細なトレンチ素子分離構造をセルフアラインで形成できる。また、セルゲート104に対するトレンチ溝107の位置ずれがなくなり、ソース・ドレイン領域113の幅が均一に偏りなく形成されるので、ソース・ドレイン抵抗のばらつきが解消されることになる。

【0020】また、前記したように、トレンチ素子分離構造110の形成後にソース・ドレイン領域113を形成するための不純物を導入しているので、トレンチ素子分離構造110の形成時に必要な熱酸化膜108を形成する際の熱酸化処理をソース・ドレイン領域113の形成前に行うことになり、熱酸化処理に際して不純物による増速酸化の起こることがない。したがって、トレンチ溝107の内壁の熱酸化膜108がソース・ドレイン領域113に接する領域において異常に膜厚が増加することがないので、チャネルとトレンチ素子分離構造110の間に形成されたソース・ドレイン領域113の幅寸法が減少してソース・ドレイン抵抗が増大することがなく、フラッシュメモリの動作速度の向上が可能になる。

【0021】なお、前記実施形態において、窒化膜サイドウォールに用いるCVD窒化膜は、酸化膜のドライエッチングまたはウェットエッチングに際して十分なエッチング選択比が得られる材料であればCVD窒化膜に限定されるものではない。また、本発明は、セルゲートを利用してセルフアラインでトレンチ溝を形成した後、ソース・ドレイン領域を形成するための不純物のイオン注入よりも前工程においてトレンチ溝の内壁を熱酸化して熱酸化膜を形成する工程を含むものであれば、前記実施形態における他の工程を適宜変更した場合においても本発明による利益を受けることは可能である。

【0022】

【発明の効果】以上説明したように本発明は、セルゲー

トの両側壁に形成されるサイドウォールを用いたセルフアラインによりトレンチ素子分離構造を形成することにより、セルゲートに対するトレンチ素子分離構造の位置ずれがなくなり、ソース・ドレイン領域の幅が均一に偏りなく形成でき、ソース・ドレイン抵抗のばらつきが解消される。また、トレンチ素子分離構造の形成後にソース・ドレイン領域を形成するための不純物を導入しているので、トレンチ素子分離構造の形成時に必要な熱酸化処理に際して不純物による増速酸化の起こることがなく、トレンチ溝内壁の酸化膜がソース・ドレイン領域に接する領域において異常に膜厚が増加してソース・ドレイン領域の幅寸法が減少することもなく、ソース・ドレイン抵抗が増大することもない。これにより、高集積化を実現するとともに動作速度を向上したフラッシュメモリ等の半導体記憶装置の製造が実現できる。

【図面の簡単な説明】

【図1】本発明にかかるフラッシュメモリの平面レイアウト図とそのX-X線断面図である。

【図2】図1のフラッシュメモリの製造方法を工程順に示す断面図のその1である。

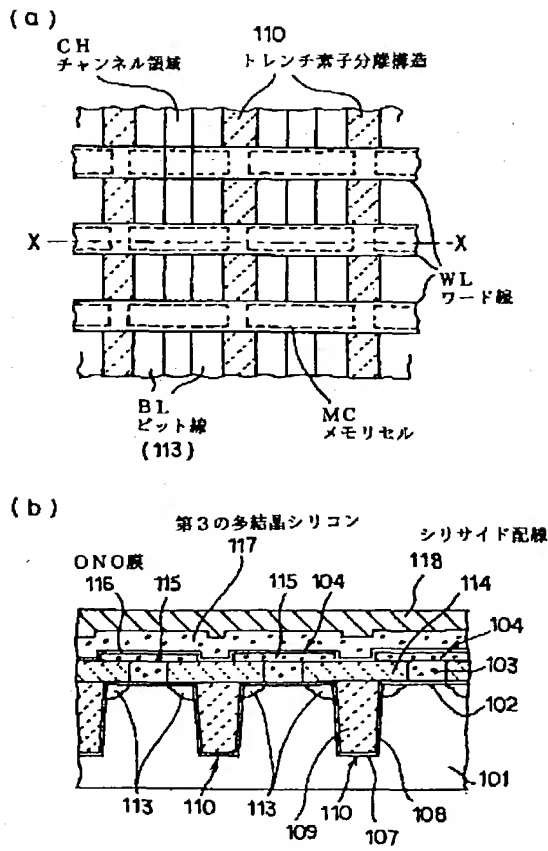
【図3】図2のフラッシュメモリの製造方法を工程順に示す断面図のその2である。

【図4】従来の半導体記憶装置の製造方法の一例を工程順に示す図である。

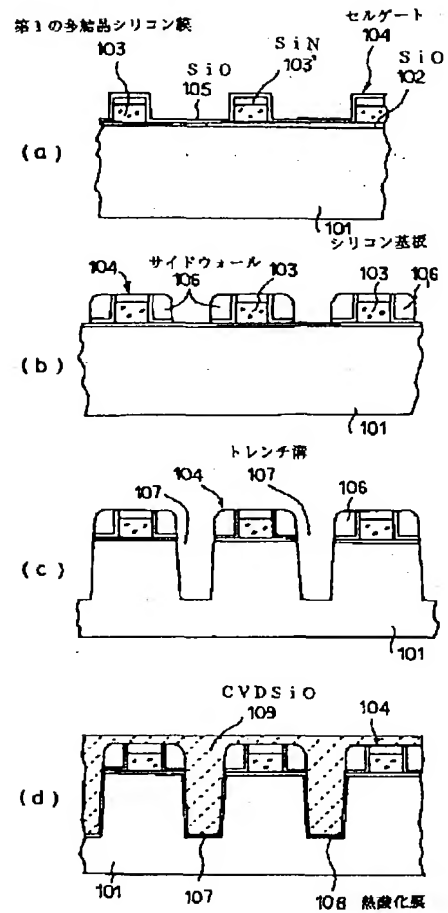
【符号の説明】

- 101 シリコン基板
- 102 ゲート酸化膜
- 103 第1の多結晶シリコン膜
- 104 セルゲート
- 105 CVD酸化膜
- 106 窒化膜サイドウォール
- 107 トレンチ溝
- 108 熱酸化膜
- 109 CVD酸化膜
- 110 トレンチ素子分離構造
- 111 LDD領域
- 112 第2のサイドウォール
- 113 ソース・ドレイン領域
- 114 CVD酸化膜
- 115 ビラー型電極（第2の多結晶シリコン膜）
- 116 ONO膜（ゲート間絶縁膜）
- 117 第3の多結晶シリコン膜
- 118 シリサイド配線膜

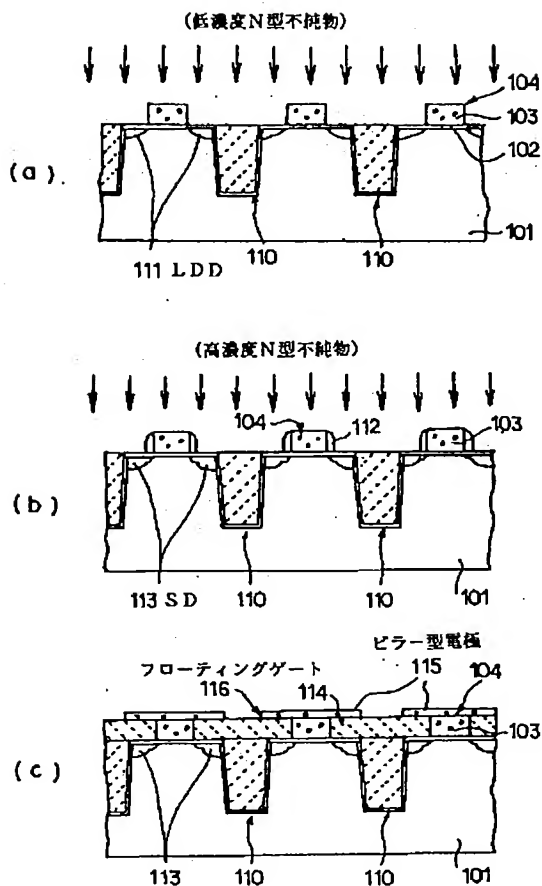
【図1】



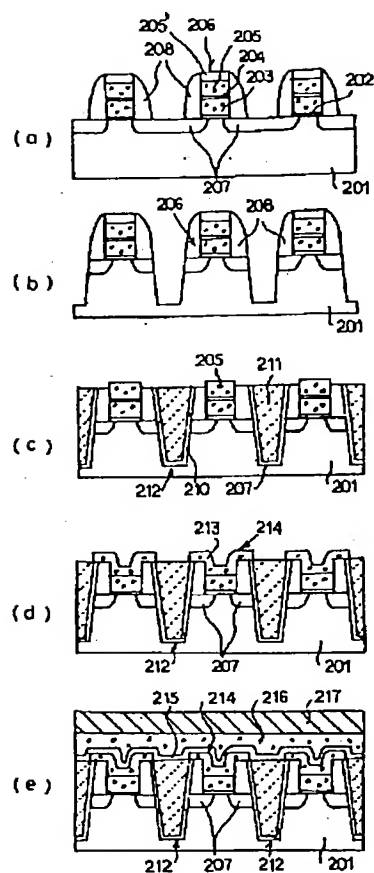
【図2】



【図3】



【図4】



フロントページの続き

Fターム(参考) 5F001 AA25 AB08 AD17 AG07  
 5F032 AA35 AA44 AA45 CA17 CA23  
 DA02 DA23 DA24 DA25 DA30  
 DA33 DA43 DA53 DA80  
 5F083 EP05 EP27 EP55 EP56 EP63  
 EP65 EP68 EP70 EP77 GA02  
 JA04 JA35 NA01 NA06 PR29  
 PR36 PR39 PR40